

(54) ERASING METHOD FOR CHARACTER READING DEVICE

(11) 55-53737 (A) (43) 19.4.1980 (19) JP

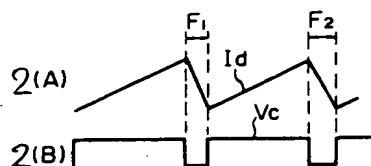
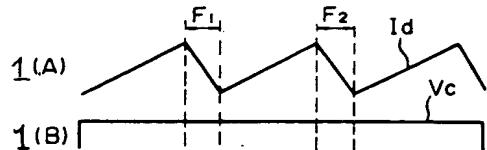
(21) Appl. No. 53-128020 (22) 18.10.1978

(71) RICOH K.K. (72) ISAMU SHIBATA(1)

(51) Int. Cl<sup>3</sup>. G06F3/153, G06K15/10, G09G1/00

**PURPOSE:** To realize a high-speed erasure by varying the voltage of the control electrode in the pickup tube via the reading and erasing modes.

**CONSTITUTION:** When an optional character is read out via the character coded signal from the matrix-formed character information supplied to the pickup tube, control electrode voltage  $V_c$  is lowered so that the electron beam may not reach the target surface of the pickup tube during deflecting flyback time  $F_1$  and  $F_2$  (Fig. 1-B). On the other hand, the same voltage  $V_c$  is applied to the control electrode for deflection to be erased previously during scanning period  $S$  as well as time  $F_1$  and  $F_2$  via the character designation coded signal (Fig. 2-B). As a result, the electron beam reaches the target surface to perform erasure even in the flyback time, thus ensuring a high-speed and high-efficiency erasure.



#### (54) CODE CONVERTING SYSTEM

(11) 55-53739 (A) (43) 19.4.1980 (19) JP

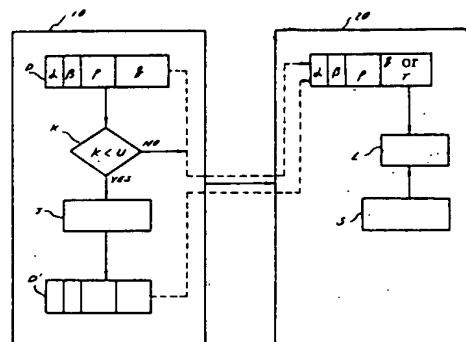
(21) Appl. No. 53-127166 (22) 16.10.1978

(71) NIPPON DENKI K.K.(4) (72) KEITAROU SANO(5)

(51) Int. Cl<sup>3</sup>. G06F5/02

**PURPOSE:** To realize a code converting system which can compress the data by converting one or plural number of selection parameters expressed in the decimal numbers of the extension character sequence into the parameter corresponding to the bit with every selection parameter.

**CONSTITUTION:** At transmission part 10, a decision is given at decision part K whether parameter byte number  $u$  of selection parameter  $q$  of control character sequence  $D$  is larger than parameter byte number  $k$  of selection parameter  $r$  after conversion. And sequence  $D$  is sent to reception part as it is in the case of  $u < k$ . While in the case of  $u > k$ , parameter  $q$  is sent to conversion process part J and then converted into the parameter corresponding to the bit with every parameter based on the fixed method to be turned into extended control character sequence  $D'$  to be then sent to part 20. With reception of sequence  $D$  or  $D'$  at part 20, a decision is given at decision control part L whether selection parameter  $q$  or converted selection parameter  $r$ . And then a decision is given for the adaptability or non-adaptability of the control character sequence in accordance with the parameter which is incorporated in table S.



(54) VELOCITY CONVERTING CIRCUIT BETWEEN CENTRAL PROCESSOR  
AND TERMINAL UNIT

(11) 55-53740 (A) (43) 19.4.1980 (19) JP

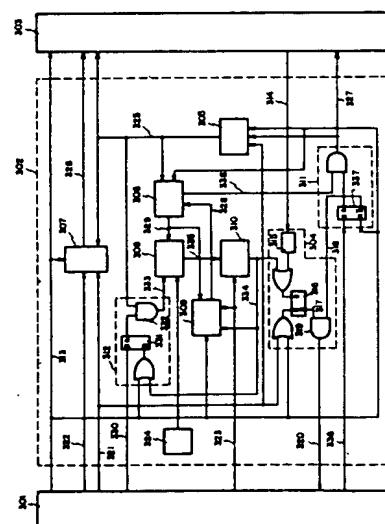
(21) Appl. No. 53-127164 (22) 16.10.1978

(71) NIPPON DENKI K.K. (72) ISAMU TAKANO

(51) Int. Cl<sup>3</sup>: G06F5/06, G06F3/00

**PURPOSE:** To obtain a velocity conversion circuit which can perform the data process via the terminal unit which is nonsynchronous with the CPU by using the FIFO memory circuit and thus setting the writing velocity and the reading velocity independently from each other.

**CONSTITUTION:** Transfer request signal 320 is generated from data transfer request generation circuit 304 in velocity converting circuit 302 via ready signal 314 sent from terminal unit 303 corresponding to data transfer start signal 313 sent from CPU301. Thus clock signal 321 from the CPU is received at clock signal generation circuit 305, and clock 325 of the necessary cycle at terminal 303 is generated. Both signal 321 and N-word data signal 322 are received at FIFO memory 307, and data signal 326 is sent to the terminal unit after converting into the cycle speed of signal 325. At the same time, memory word number W set previously to register 324 and output 329 of counter 306 are subtracted at subtractor circuit 308, and then value M obtained the subtraction is compared with designation signal 323 of the block length N at comparator 310. Thus in the case of  $N < M$ , new transfer request signal 320 is generated to transfer the next block data through the CPU.



⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-53740

⑬ Int. Cl.<sup>3</sup>  
G 06 F 5/06  
3/00

識別記号  
101

厅内整理番号  
7323-5B  
6711-5B

⑭ 公開 昭和55年(1980)4月19日

発明の数 1  
審査請求 未請求

(全 8 頁)

⑮ 中央処理装置と端末装置間における速度変換  
回路

東京都港区芝五丁目33番1号  
日本電気株式会社内

⑯ 特 願 昭53-127164

⑰ 出 願 昭53(1978)10月16日

東京都港区芝5丁目33番1号

⑰ 発明者 高野勇

⑱ 代理人 弁理士 内原晋

明細書

発明の名称 中央処理装置と端末装置間  
における速度変換回路

信号のパルスが到来する毎にあらかじめ設定  
された初期値から<sup>順次</sup>を減じてゆくカウンタ回路と、中央処理装置で発生される前記ペースト状クロック信号が停止すると同時に中央処理装置から転送されるプロック転送終了信号により減算回路に供給する減算クロック信号の発生を開始させる減算クロック制御回路と、前記減算クロック信号によりWから前記カウンタ回路の出力値を減ずる減算回路と、前記減算回路の演算結果Mとあらかじめ中央処理装置から指定されたデータプロック長Nとの比較を行ないN≤Mの場合に出力信号を発生しその出力信号により前記減算クロック制御回路による減算クロック信号の発生を停止させると共に前記データ転送要求発生回路に新しいデータ転送要求信号を発生せしめる比較回路と、前記比較回路の出力信号が発生した時点でNと前記カウンタ回路の出力値との加算を行ないその演算結果を前記カウンタ回路の新しい初期値として設定する加算回路と、

特許請求の範囲

(1) 中央処理装置からのデータ転送スタート信号に対する応答として端末装置から発生されたレディ信号により中央処理装置に対しデータ転送要求信号を発生するデータ転送要求発生回路と、前記データ転送要求信号により中央処理装置から発生される最初のペースト状クロック信号の受信によって一定周期のクロック信号の発生を開始するクロック信号発生回路と、前記ペースト状クロック信号によりデータが書き込まれ前記一定周期のクロック信号によりデータが読み出される回数Wの FIFOメモリ回路と、前記一定周期のクロック

5

10

15

15

(1)

(2)

中央処理装置からデータ転送エンド信号を受信した後前記カウンタ回路の内容がゼロにならた時点で端末装置に対し転送終了信号を送出すると共にその転送終了信号で前記クロック信号発生回路による一定周期のクロック信号の発生を停止せしめる転送終了信号発生回路とから成る中央処理装置と端末装置間における速度変換回路。

(2) FIFO メモリ回路として2個以上継続接続した FIFO メモリを用いる特許請求の範囲第1項記載の中央処理装置と端末装置間における速度変換回路。

#### 発明の詳細な説明

本発明は小規模の回路構成で効率の良いデータ転送を可能ならしめる速度変換回路、特に中央処理装置と端末装置間における速度変換回路に関するものである。

ミニコンピュータやマイクロコンピュータ等の

(3)

データ転送の制御手順が比較的簡単に行なえ、ハードウエアも簡単という長所があつた。

しかし、反面このような構成の場合、端末装置102のデータ処理時点は中央処理装置101の発生するクロックパルス105により決められてしまふこと、また端末装置102においてデータ処理の時間間隔が中央処理装置の処理時間によって左右されることなどの制約がある。このため端末装置102において実時間でのデータ処理(例えば、ある一定時間間隔での連続したデータ処理)を行ないたい場合に、このような構成方法ではその実行が不可能であった。

本発明の目的は、上記従来方法の欠点に鑑みてなされたもので、その目的は中央処理装置とは非同期に端末装置がデータ処理することを可能とする手段の提供にある。

本発明の他の目的は、中央処理装置からのデータ転送をブロック単位で行なうようにしそのブロック長を可変とした、中央処理装置と端末装置間における速度変換回路の提供にある。

(5)

特開 昭55-53740(2)  
中央処理装置と種々の端末装置をオンラインで接続し、中央処理装置における解析・処理結果を端末装置に供給するオンライン・システムにおいて、中央処理装置から各端末への信号の転送は従来第1図に示すように行なわれていた。

すなわち第1図において中央処理装置101は、まず端末装置102に対してデータ転送開始の意味であるデータ転送スタート信号103を発生する。端末装置102では、データ転送スタート信号103によりデータ受信の為の初期設定を行ない、それが終了したとき中央処理装置に対するレスポンス信号としてレディ信号104を発生する。中央処理装置101はこのレディ信号104を受け取つたら、データ転送が可能となつた時点でクロックパルス105を発生し、このパルスによつて端末装置へデータ107を転送する。この手順は中央処理装置101から端末装置102にに対してデータ転送エンド信号106を発生するまで行なわれる。

このように第1図のような従来の構成によれば、

(4)

本発明の更に他の目的は、端末装置におけるデータ処理を中央処理装置と同期して行なうか、あるいは非同期で行なうかを選択する手段を有する、中央処理装置と端末装置間における速度変換回路の提供にある。

以下図面を参照して本発明の詳細な説明を行なう。

第2図は中央処理装置、端末装置間のデータ伝送に本発明の速度変換回路を用いた場合の構成図である。同図において201は中央処理装置、202は本発明の速度変換回路、203は端末装置である。204は中央処理装置からのデータ転送スタート信号、205は速度変換回路202から中央処理装置201へのデータ転送要求信号、206はブロック長指定信号、207は中央処理装置201から速度変換回路202へのデータ転送クロック信号、208は中央処理装置201から速度変換回路202へのデータ信号、209は中央処理装置201から速度変換回路202へのブロック転送終了信号、210は中央処理装置

20

(6)

201から速度変換回路202へのデータ転送エンド信号である。速度変換回路202と端末装置203は、データ転送スタート信号211(データ転送スタート信号204を速度変換回路において分岐したもの)、レディ信号212、端末装置203に対するクロック信号213、速度変換回路202から端末装置203へのデータ信号214および速度変換回路202から端末装置203に対する転送終了信号215により接続される。

第3図は第2図における速度変換回路202の構成を具体的に示したもので、第3図における各信号313, 322, 321, 330, 323, 320, 336, 326, 325, 314, 327は、第2図における各信号204(211), 208, 207, 209, 206, 205, 210, 214, 213, 212, 215にそれぞれ対応する。

第3図において301は中央処理装置、302は速度変換回路、303は端末装置であり、それぞれ第2図の201, 202, 203に対応する。

(7)

の減算クロック制御回路である。

中央処理装置301から発生された第4図(a)のようなデータ転送スタート信号313は、FIFOメモリ回路307、減算回路308、クロック信号発生回路305、加算回路309、データ転送要求発生回路304、転送終了信号発生回路311、カウンタ回路306、減算クロック制御回路312をリセットし、初期の状態に設定する。更にこのデータ転送スタート信号313は、端末装置303に対してもデータ転送スタート信号として送られる。端末装置303は、データ転送スタート信号313により内部状態を初期設定し、それが完了したら第4図(b)に示すようにデータ入力可能のレディ信号314を発生する。レディ信号314は、データ転送要求発生回路304における微分回路315により、ある一定幅のパルスに変換され、そのパルスによりリップフロップ回路316がセットされる。リップフロップ回路316の出力信号317はゲート回路319の一方の入力信号となる。通常、ゲート回路319の他方の入力

(8)

304は中央処理装置301に対してデータ転送の要求を発生するデータ転送要求発生回路、305はクロックパルス信号発生回路、306はクロック信号発生回路306から発生されたクロックパルス数を計数するカウンタ回路、307は中央処理装置301から出力されるデータを保持する容量W語のFIFO(ファーストイン・ファーストアウト)メモリ回路、324は予め設定されたWの値を記憶するレジスタ、308はレジスタ324に記憶されたWの値から、カウンタ回路306の出力の値を減算する減算回路である。309は中央処理装置301が指定するデータプロック長Nの値とカウンタ回路306の出力信号との加算を行なう加算回路、310は減算回路308の出力信号と中央処理装置301が指定するデータプロック長Nの値とを比較し( $N \leq$ 減算回路308の出力信号)であることを検出する比較回路、311は端末装置303に対する転送終了信号発生回路である。312は減算回路308に供給すべきクロック信号を発生させるため

(9)

信号318は“1”状態にセットされている。ゲート回路319の出力信号320は、データ転送要求信号として中央処理装置301に送られる(第4図(c)の波形)。中央処理装置はこの信号を受け取った後、データ転送が可能となつた時点で高速のデータ転送クロック信号321(第4図(d)の波形)をペースト状にNビット出し、同時にFIFOメモリ回路307へのデータ信号322をNワードだけ転送する(第4図の波形(e))。FIFOメモリ回路307は、データ転送クロック信号321によりこのデータを入力する。データ転送要求発生回路304のリップフロップ回路316は、データ転送クロック信号321の初めの1ビットのパルス(第4図波形(d)の①点)によりリセットされる。

データ転送のプロック長Nは、中央処理装置において自由に設定できる。このNの値は、プロック長指定信号323により速度変換回路302に送られ、加算回路309、比較回路310の入力信号として用いられる。なお、Nの値はFIFOメ

(10)

モリ回路 307 のメモリ語数 W に対して  $N \leq W$  の関数になければならない。

中央処理装置 301 より発生されるデータ転送クロック信号 321 の最初のペーストの第 1 ビット目により(第 4 図波形(d)の⑤点)、クロック信号発生回路 305 は第 4 図(e)のような一定間隔のクロック信号 325 の発生を開始する。このクロック信号 325 の周期は、中央処理装置 301 とは無関係に、端末装置 303 において必要とされる処理周期に等しくあらかじめ設定しておくことができる。但し、この場合端末装置 303 が FIFO メモリ回路 307 から読み取るデータに誤りが生じることを防ぐため、端末装置 303 の処理速度が中央処理装置 301 のデータ出力速度を上まわらないようにこの周期を定めなければならない。クロック信号 325 は FIFO メモリ回路 307、カウンタ回路 306、減算クロック制御回路 312 に供給される。FIFO メモリ回路 307 は前記クロック信号 325 により第 4 図(e)のようなデータ信号 326 を出力する。端末装置 303 側では同

00

データの語数)となり、この値が減算回路 308 と加算回路 309 に入力される。~~中央処理装置 301 は速度変換回路~~ 302 FIFO メモ /16 ビット回路 307 へのデータ転送が 1 ブロック終了すると、ブロック転送終了信号 330 (第 4 図(f)のような波形)を出力する。このブロック転送終了信号 330 は速度変換回路 302 の減算クロック制御回路 312 に加えられる。

減算クロック制御回路 312 に入力された前記ブロック転送終了信号 330 は、フリップフロップ回路 331 をセットし、そのフリップフロップ回路 331 の出力信号がゲート回路 332 の一方の入力信号となる。ゲート回路 332 の他方の入力には、クロック信号発生回路 305 より出力された一定間隔のクロック信号 325 が入力され、フリップフロップ回路 331 がセット状態にある間、減算クロック制御回路 312 の出力信号として減算回路 308 に加えられる。フリップフロップ回路 331 は比較回路 310 の出力信号 334 によりリセットされ、減算クロック制御回路の出力信号 333 の発生を禁止する。なおブロック転

01

特開 昭55-53740(4)  
じクロック信号 325 によってこのデータを入力する。

クロック信号 325 は、転送終了信号発生回路 311 より第 4 図(f)に示すような転送終了信号 327 を受けとるまで発生し続け、その間速度変換回路 302 から端末装置 303 へのデータ転送は停止することなしに連続的に行なわれる。

カウンタ回路 306 の内容は、データ転送クロック信号の発生開始前に初期値として  $N$  (ブロック語長) がセットされている。この  $N$  の値は、加算回路 309 内のレジスタにブロック長指定信号 323 によりあらかじめ中央処理装置 301 からセットされており、それがデータ転送スタート信号 313 によって、カウンタ回路 306 の初期値として与えられる (出力信号 328)。カウンタ回路 306 は、カウントダウン動作を行なうもので、クロック信号 325 のパルスの到来毎に初期値  $N$  の値から順次 1 を減じてゆく。従ってその出力信号 329 は、 $N -$  (その時点までに FIFO メモリ回路 307 から端末装置 303 に送られたテ

02

送終了信号 330 と、クロック信号 325 とは互いに非同期ため、単純なゲート操作を行なうと出力信号のパルス幅が不揃いになって、誤動作を生じる恐れがある。第 3 図のゲート回路 332 は、このような誤動作を生じないように出力パルスを整形する機能を有するものとする。

減算回路 308 は、レジスタ 324 にあらかじめセットされているメモリ語数  $W$  と、カウンタ回路 306 の出力信号 329 との減算を行なう。ただし、減算動作は前記減算クロック制御回路 312 からの出力信号 333 により行なわれ、その時点における FIFO メモリ回路 307 の空メモリ語数  $M$  の値が求められる。この  $M$  の値が出力信号 335 として比較回路 310 の一方の入力に加えられる。

比較回路 310 では、データブロック長  $N$  と減算回路 308 の減算結果  $M$  との比較を行ない、 $N \leq M$  が検出されたならば、データ転送要求発生回路 304 に対してセット信号 334 を出力する。このセット信号 334 は減算クロック制御回路 312 の入力信号となり、フリップフロップ回路

03

331をリセットし、それにより減算クロック制御回路312の出力信号333の発生が停止される。またセット信号334は、加算回路309にも加えられる。加算回路309は、このセット信号334を受けとらなければ、カウンタ回路306の出力信号329とデータブロック長Nの値との加算を行なう。カウンタ回路306の内容は加算回路309の出力信号328により、この加算結果の値に書き換えられる。

比較回路310において、 $N \leq M$ の検出が行なわれた場合は、FIFOメモリ回路307において、メモリ内の空領域がデータブロック長N以上存在し、更にNワードのデータが入力可能であることを示している。従って、この時比較回路310の出力信号334によりフリップフロップ回路316をセットし、中央処理装置301に対してデータ転送要求信号320を送出する。(第4図波形(c)の④点)。

第4図のタイミング・チャートから明らかのように、中央処理装置301と速度変換回路302

09

のフリップフロップ回路337の一方の出力信号318は、データ転送要求発生回路304のゲート回路319の一方の入力信号となり、データ転送要求信号320の発生を禁止する。この時点においてもクロック信号325は発生し続け、FIFOメモリ回路307から端末装置303へのデータ転送は継続される。カウンタ回路306の内容がゼロにならなければ、カウンタ回路306から転送終了信号発生回路311への出力信号338が発生され、この信号により第4図(j)の④点に示すような転送終了信号327が発生される。この転送終了信号327でクロック信号発生回路305はリセットされ、クロック信号325は停止する。また、転送終了信号327は端末装置303に送られる。端末側では、この転送終了信号を受け取らなければデータ信号314の送出を停止する(第4図波形(h)の④点)。

以上説明したように、本発明の速度変換回路においては、FIFOメモリ回路を使用し、その書き込み速度(中央処理装置からのデータ転送速度)と、

09

のデータ転送が行なわれている時間内においても、それとは無関係にクロック信号発生回路305からは一定周期の低速クロック信号325が出力され、このクロックにより速度変換回路302のFIFOメモリ回路307から端末装置303へのデータ転送が継続される。

中央処理装置301から速度変換回路302へのデータ転送は、中央処理装置301から送られる第4図(i)のようなデータ転送エンド信号336により終了する。このときFIFOメモリ回路307には、端末装置303にまだ転送していないデータが残っている。したがって、中央処理装置301から発生されたデータ転送エンド信号で、速度変換回路302のFIFOメモリ回路303とのデータ転送を終了することは、データの消失を生じることになる。転送終了信号発生回路311は、この不都合を防止するためのものである。すなわち、中央処理装置301から発生されたデータ転送エンド信号336は、転送終了信号発生回路311のフリップフロップ回路337をセットする。こ

10

5

10

15

20

脱出し速度(端末装置のデータ処理速度)を独立に設定できるようにしているので、従来不可能であった中央処理装置とは非同期の端末装置におけるデータ処理が可能となる。

また、本発明の速度変換回路によれば、中央処理装置からのデータ転送はブロック単位で行なわれ、そのデータブロック長Nを中央処理装置で指定することができる。このようにしてNの値を中央処理装置の能力、接続される端末装置数、等に応じて適切な値に決めることができるので、中央処理装置ソフトウェア上の自由度も従来の方法に比べて大きくなる。

第3図は、FIFOメモリ回路307が1個の場合の実施例であり、その時FIFOメモリ回路307のメモリ容量Wは $W \geq N$ (Nはデータブロック長)でなければならない。1個のFIFOメモリ回路の容量には限度があるため、Nが大きな場合には上記関係が満たされなくなることがある。そのような場合には、FIFOメモリを複数個継続接続することで解決できる。

10

5

10

15

20

第5図は、FIFOメモリ回路を継続接続することにより、実質のメモリ容量Wを拡大した場合の実施例であり、第3図のFIFOメモリ回路307を第5図の構成におけることにより、データブロック長Nの値が増大した時でも処理し得る速度変換回路が得られる。第5図の501は、複数個(図では3個)のメモリ容量W個のFIFOメモリ507, 508, 509から成るFIFOメモリ回路。502は第3図におけるデータ転送スタート信号、503は第3図における速度変換回路から端末装置へのデータ信号326, 504は第3図におけるクロック信号325, 505は第3図における中央処理装置からのデータ転送クロック信号321; 506は中央処理装置から速度変換回路へのデータ信号322にそれぞれ相当する。

第5図に示すとく、中央処理装置からのデータ転送クロック信号505はFIFOメモリ507, 508, 509へと送られる。これによりデータはFIFOメモリ509から順次書き込まれる。一方クロック信号504はFIFOメモリ509,

特開 昭55-53740(6)  
508, 507へと送られる。データはFIFO  
509の内容から順次読み出されるFIFOメモリ  
508, 507に記憶されているデータは右方  
(508, 509)へとシフトされ、最終的には  
509の内容として読み出される。

第6図は本発明の更に他の実施例である。この構成は、第3図の実施例に601, 602, 603の手動切替スイッチ回路を附加したものであり、従来モードの動作をも可能ならしめる速度変換回路である。604は第3図における端末装置303からのレディ信号314を分岐した信号、605は第3図における中央処理装置301からのデータ転送クロック信号321を分岐した信号、610は第3図における中央処理装置301からのデータ転送エンド信号336を分岐した信号であり、各々602, 601, 603の手動切替スイッチ回路の接点 $\alpha$ ,  $\beta$ ,  $\gamma$ に接続される。606は第3図におけるクロック信号325, 607は第3図におけるデータ転送要求信号320, 611は第3図における転送終了信号327である。

通常、切替スイッチ回路601では接点 $\alpha$ と $\beta$ が、切替スイッチ回路602では接点 $\beta$ と $\gamma$ が、また切替スイッチ回路603では接点 $\gamma$ と $\alpha$ が導通状態であり、この場合の回路の機能としては第3図に示した実施例と同じである。すなわち、FIFOメモリ回路及び端末装置に供給されるクロック信号606としては、クロック信号発生回路608(第3図の305に相当)で発生された一定周期のクロック信号が用いられ、データ転送要求信号607としては、データ転送要求発生回路609の出力、転送終了信号611としては転送終了信号発生回路612の出力信号が用いられる。この場合、端末装置へのデータ転送は中央処理装置とは非同期に行なえる。

切替スイッチ回路601の接点 $\alpha$ を $\beta$ 側に、切替スイッチ回路602の接点 $\beta$ を $\gamma$ 側に、切替スイッチ603の接点 $\gamma$ を $\alpha$ 側に切替えると、レディ信号604(第3図の314に相当)が切替スイッチ602の接点 $\beta$ と $\gamma$ を経て中央処理装置に直接送られる。中央処理装置はこれによりデータ

転送クロック信号605を発生し、これを切替スイッチ回路601の接点 $\alpha$ と $\beta$ を通じ、FIFOメモリ回路及び端末装置に送る。端末装置はこのデータ転送クロック信号により中央処理装置と同期してデータの処理を行なう。更に中央処理装置から発せられた転送エンド信号は切替スイッチ回路603の接点 $\gamma$ と $\beta$ を通じ、端末装置に送られる。

このように第6図のように切替スイッチを付加することで、中央処理装置と端末装置間のデータ転送が従来モードでも行なえる速度変換回路が得られる。

なお、第6図の実施例において、切替スイッチ回路は手動で制御するものに限定されるものではなく、例えば中央処理装置からの制御信号により動作するものであっても良い。

以上詳細に述べたとく、本発明の速度変換回路によれば、中央処理装置から発生されるクロック信号とは非同期に、端末装置がデータを処理することが可能となる。また本発明によれば、中央

の実施例を示し、切替スイッチを設けた場合のブロック図である。

図において、101, 201及び301……中央処理装置、102, 203及び303……端末装置、202及び302……速度変換回路、

103, 204, 212, 312及び502……

データ転送スタート信号、104, 213及び

314, 604……レディ信号、105……クロッ

クパルス、106, 210及び336, 610……

データ転送エンド信号、107, 208, 214……

322, 326, 503及び506……データ信号、

205及び320, 607……データ転送要

求信号、206及び323……ブロック長指定信

号、207, 321及び505, 605……データ

転送クロック信号、210及び330……ブロ

ック転送終了信号、213及び325, 606……

クロック信号、215及び327, 611……転

送終了信号、305及び608……クロック信号発

生回路、306……カウンタ回路、307及び501……

……FIFOメモリ回路、507, 508及び509

5

10

15

20

(24)

#### 図面の簡単な説明

第1図は中央処理装置と端末装置間の従来のデータ転送方法を示すブロック図、第2図は中央処理装置と端末装置間のデータ転送に本発明の速度変換回路を用いた場合のブロック図、第3図は第2図における速度変換回路の一実施例を示すブロック図、第4図は本発明の速度変換回路の動作を説明するためのタイムチャートである。第5図は本発明の他の実施例で、FIFOメモリ回路を継続接続した場合のブロック図、第6図は本発明の他

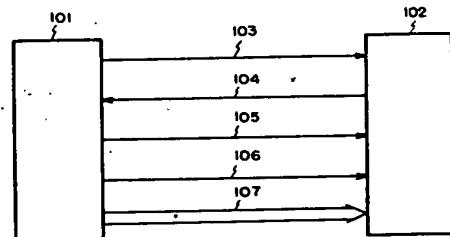
(23)

……FIFOメモリ、308……減算回路、309  
……加算回路、310……比較回路、311,  
612……転送終了信号発生回路、304, 609  
……データ転送要求発生回路、312……減算ブ  
ロック制御回路、316, 331及び337……  
フリップフロップ回路、319及び332……ゲ  
ート回路、315……微分回路、324……レジス  
タ、601, 602, 603……切替スイッチ回  
路、333, 329, 328, 335, 334,  
338, 317及び318……信号線をそれぞれ  
に示す。

5

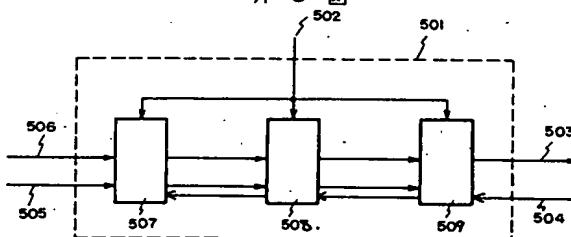
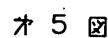
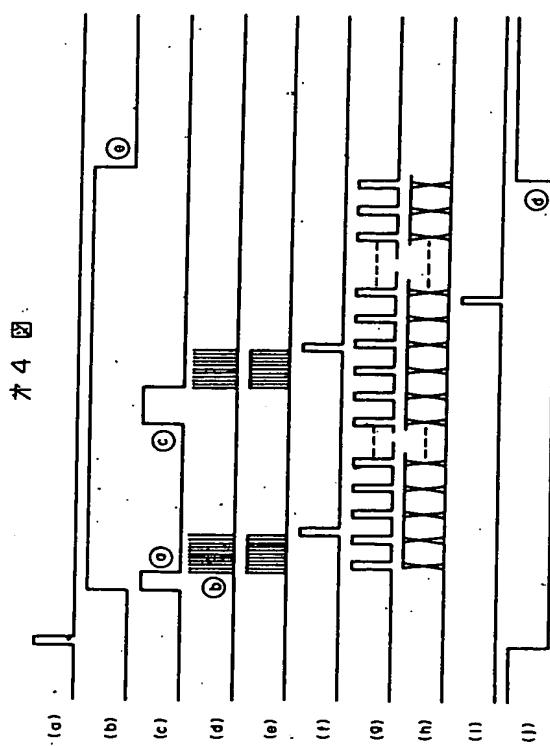
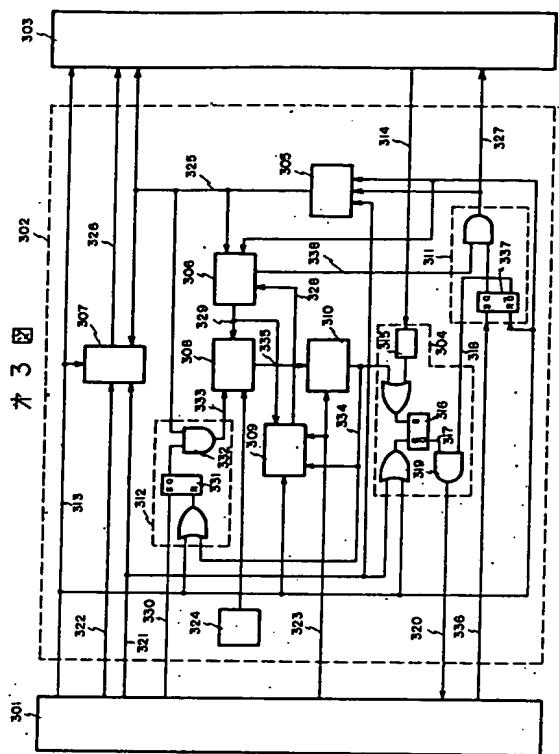
10

#### オ 1 図



代理人弁理士内原晋

(25)



.才 6 図

